



# **AADL: Architecture Analysis & Design Language**

*Modélisation de réseaux AFDX*

Etienne Borde  
[etienne.borde@telecom-paristech.fr](mailto:etienne.borde@telecom-paristech.fr)

# Objectifs du cours

- **Savoir modéliser un réseaux AFDX en AADL pour**
  - ⌘ Faire des analyses de temps de transmission des données
  - ⌘ Intégrer ce résultat dans un calcul de temps de latence de bout en bout
- **Connaître les limitations de cette technique**

# Les composants d'un réseaux AFDX

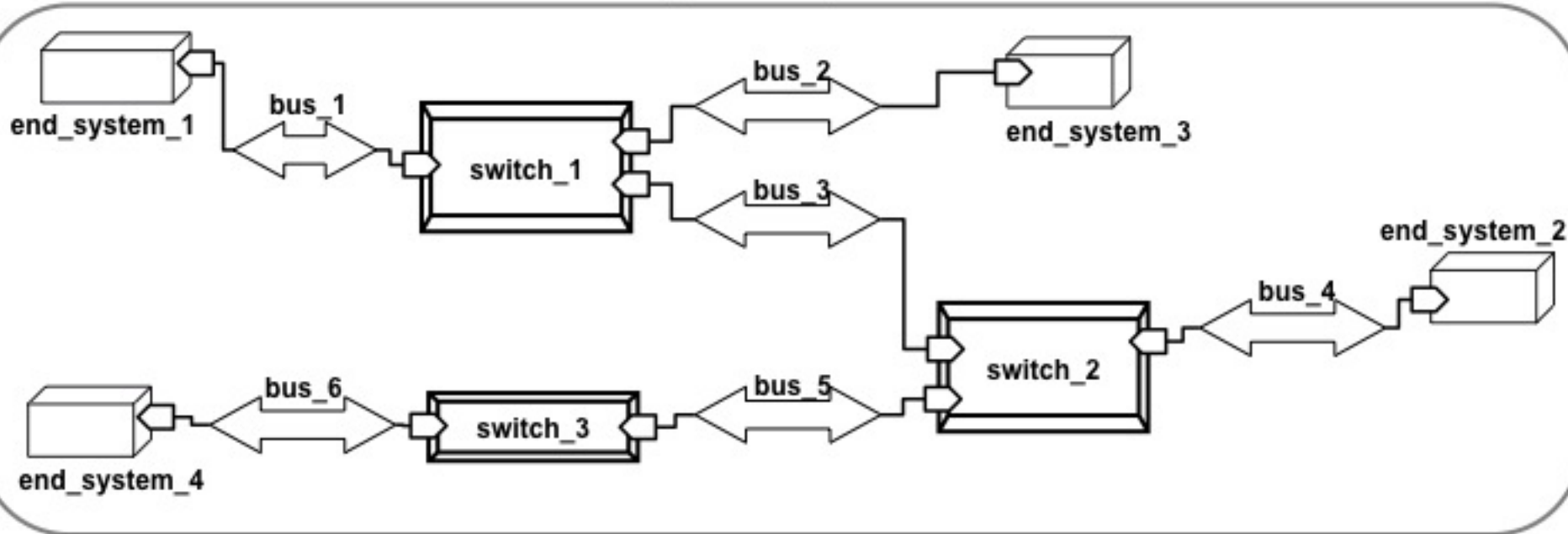
- Les End-Systems (carte réseaux des calculateurs)
- Les switchs Ethernet
- Les câbles Ethernet
- Les virtual link
- Les caractéristiques de ces composants

# Les composants AADL correspondants

- Les End-Systems (carte réseaux des calculateurs)
  - ⌘ Composants Processor
- Les switches Ethernet
  - ⌘ Composants device
- Les câbles Ethernet
  - ⌘ Composants bus
- Les virtual link
  - ⌘ Virtual bus
- Les caractéristiques de ces composants
  - ⌘ Composants virtual link

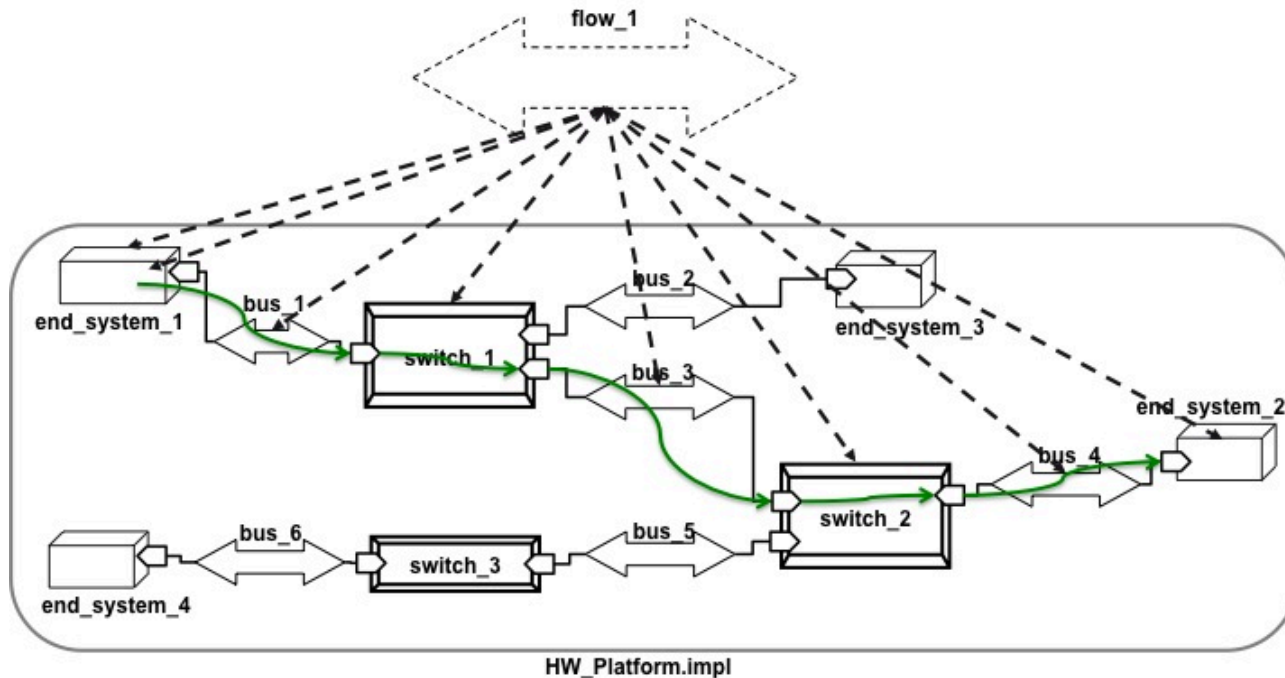
# Exemple d'architecture réseaux

HW\_Platform.impl



- Description de l'architecture réseaux
  - ⌘ 3 end systems
  - ⌘ 6 bus
  - ⌘ 2 switch
- Notes:
  - ⌘ switch\_1 et switch\_2 ont 3 ports ethernet
  - ⌘ Switch\_3 a 2 ports ethernet

# Définition d'un virtual link



- Virtual bus avec une propriété *Actual\_Processor\_Binding* qui liste les composants par lesquels passent les paquets (la table de routage peut donc être déduite de cette définition):

-- path for flow 1

```
Actual_Connection_Binding => (
  reference (HW.end_system_1),
  reference (HW.bus_1), reference (HW.switch_1),
  reference (HW.bus_3), reference (HW.switch_2),
  reference (HW.bus_4),
  reference (HW.end_system_2) )
applies to flow_1;
```

# Les propriétés associées aux réseaux AFDX (1/2)

```
-- Speed of the physical port
portSpeed :    inherit Data_Volume
               applies to (device,system,bus access);

-- Minimum VL frame size
Lmin :    AADLINTEGER 64 Bytes .. 1518 Bytes
          units SIZE_UNITS => 64 Bytes
          applies to (virtual bus);

-- Maximum VL frame size
Lmax :    AADLINTEGER 64 Bytes .. 1518 Bytes
          units SIZE_UNITS
          applies to (virtual bus);
```

# Les propriétés associées au réseaux AFDX (2/2)

```
-- BAG - Bandwidth Allocation Gap
-- The End-System controls the transmission flow for each VL
-- in accordance with the BAG (traffic shaping).
-- The Switch should verify the BAG (traffic policing).
BAG :    TIME applies to (virtual bus);

Deadline: TIME applies to (virtual bus);

-- An output port should not transmit frames that are older than "max delay".
-- The maximum delay parameter of a frame on a given port is defined as the maximum elapsed time
between the two following events:
  -- 1. Arrival of the last bit of a frame on the input port of a switch
  -- 2. Exit of this last bit of the frame from the given output port of the switch
maxDelay : inherit TIME applies to (bus access,device,system);
```





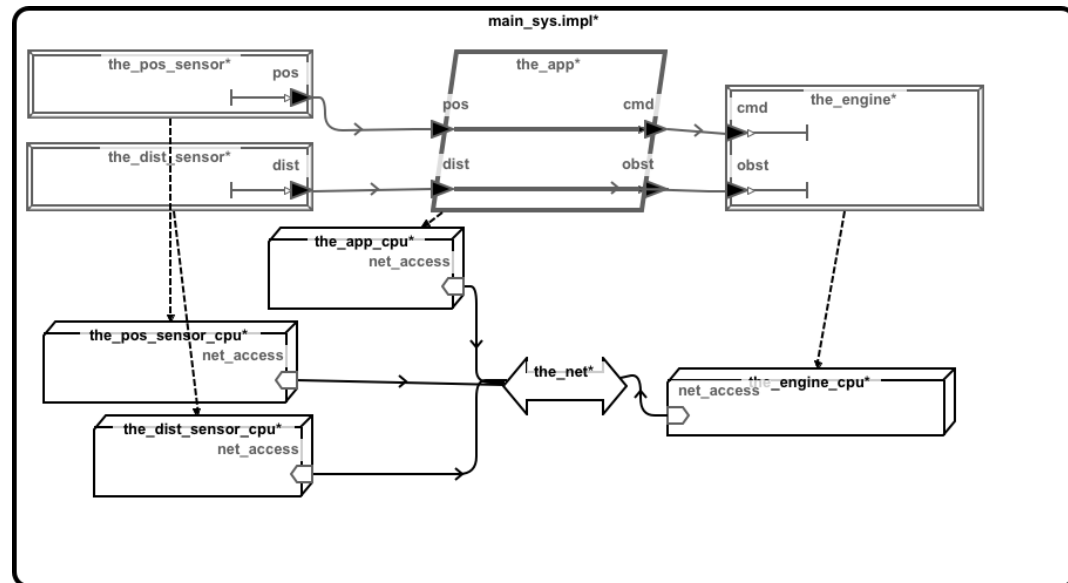
# Usage des propriétés non-fonctionnelles

- Propriété définies au niveau du système racine dans le modèle AADL présenté précédemment

```
AFDX_Properties::portSpeed => 100 MBytesps;  
AFDX_Properties::Lmin => 100 Mbyte applies to flow_1;  
AFDX_Properties::Lmax => 100 Mbyte applies to flow_1;  
AFDX_Properties::BAG => 36 ms applies to flow_1;  
AFDX_Properties::Deadline => 54 ms applies to flow_1;  
AFDX_Properties::maxDelay => 4 ms applies to HW.switch_1,HW.switch_2;
```

# Objectifs du TP

- Nous allons essayer de compléter le modèle AADL vu en TP pour évaluer une autre architecture réseaux que celle vue initialement.
- Initialement:



- Objectif: utiliser l'architecture réseaux AFDX vue précédemment



# Si vous voulez aller plus loin

- Nous avons centré ce cours sur des techniques d'analyses temporelles.
- Des outils de génération de code ont également été prototypés autour de AADL
  - ⌘ Vous avez accès aux cours et TP correspondants sur le site de l'UE